

PAT-NO: JP410284632A

DOCUMENT-IDENTIFIER: JP 10284632 A

TITLE: CIRCUIT SUBSTRATE AND MANUFACTURE THEREFOR

PUBN-DATE: October 23, 1998

INVENTOR-INFORMATION:

NAME

YAMAGISHI, YASUO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP09089683

APPL-DATE: April 8, 1997

INT-CL (IPC): H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To simplify the mounting operation of a circuit part, even when the substrate material and the circuit part having ordinary heat-resistant property are used, to mount a chip and an inserting type part on the same substrate, and to accomplish high density in the manufacture of the circuit substrate on which a circuit part is mounted and it is connected by a multilayered wiring.

SOLUTION: A plurality of wirings are laminated between wirings pinching an interlayer insulating film on a part of a circuit substrate in the circuit substrate, a multilayered wiring part 111, on which the upper and the lower wirings are connected through the inner via hole of the interlayer insulating film formed on the lower wiring is provided, and the part which is

the mounted
surface of the circuit substrate 112, including the surface of the
multilayered
wiring part 111, is almost planarized.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-284632

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.⁶

H01L 23/12

識別記号

F I

H01L 23/12

Q

審査請求 未請求 請求項の数7 OL (全11頁)

(21)出願番号 特願平9-89683

(22)出願日 平成9年(1997)4月8日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 山岸 康男

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

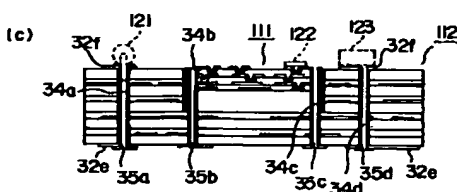
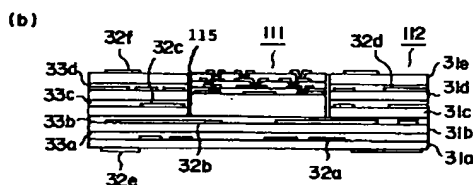
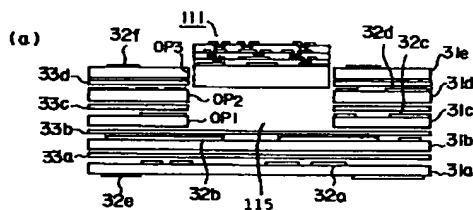
(74)代理人 弁理士 岡本 啓三

(54)【発明の名称】 回路基板及びその製造方法

(57)【要約】

【目的】本発明は、回路部品を搭載し、該回路部品を多層配線により相互に接続する回路基板に関し、通常の耐熱性を有する基板材料や回路部品を用いたときでも回路部品の搭載作業が簡単で、チップと挿入型部品とを同一基板に搭載することができ、かつ高密度化を図る。

【構成】回路基板112の一部に、複数の配線が該配線間に層間絶縁膜を挟んで積層され、上下の配線同士が該下方の配線上に形成された層間絶縁膜のインナビアホールを通して接続されている多層配線部分111が設けられ、多層配線部分111の表面を含む回路基板112の部品搭載面がほぼ平坦になっている。



【特許請求の範囲】

【請求項1】 複数の配線が該配線間に絶縁板を挟んで積層され、上下の前記配線同士が全ての前記絶縁板を貫通する貫通孔を通して接続されている回路基板であつて、

前記回路基板の一部に、複数の配線が該配線間に層間絶縁膜を挟んで積層され、上下の前記配線同士が該下方の配線上に形成された層間絶縁膜のインナビアホールを通して接続されている多層配線部分が設けられ、該多層配線部分の表面を含む前記回路基板の部品搭載面がほぼ平坦になっていることを特徴とする回路基板。

【請求項2】 前記多層配線部分は、前記回路基板の凹部又は切欠部に形成されていることを特徴とする請求項1に記載の回路基板。

【請求項3】 前記多層配線部分と、該多層配線部分の下方の前記回路基板とを貫通する貫通孔を通して、前記多層配線部分内の配線と前記回路基板内の配線とが接続されていることを特徴とする請求項2に記載の回路基板。

【請求項4】 前記インナビアホールを有する多層配線部分内の配線と前記多層配線部分の下方の回路基板内の配線とは、前記多層配線部分の接続孔を通して接続されていることを特徴とする請求項2に記載の回路基板。

【請求項5】 絶縁性基板上に配線と層間絶縁膜とを交互に積層し、かつインナビアホールを通して前記層間絶縁膜の上下の配線を接続してなる部分基板を準備する工程と、

複数枚の重ね合わせにより凹部又は切欠部が形成されるような、配線が形成された複数の絶縁板を準備する工程と、

前記複数の絶縁板を重ねるとともに、前記凹部又は前記切欠部に前記部分基板を置く工程と、

前記複数の絶縁板と前記部分基板を固着させる工程と、前記全ての絶縁板を貫く貫通孔を形成し、該貫通孔を通して上下の前記絶縁板の配線同士を接続する工程と、前記部分基板と該部分基板の下にある全ての前記絶縁板とを貫通する貫通孔を形成し、該貫通孔を通して前記部分基板内の配線と前記絶縁板の配線とを接続する工程とを有することを特徴とする回路基板の製造方法。

【請求項6】 絶縁性基板上に配線と層間絶縁膜とを交互に積層し、かつ該配線のいずれかと繋がる接続孔を前記絶縁性基板上に形成してなる部分基板を準備する工程と、

複数枚の重ね合わせにより凹部又は切欠部が形成されるような、配線が形成された複数の絶縁板を準備する工程と、

前記複数の絶縁板を重ねるとともに、前記凹部又は前記切欠部に前記部分基板を置く工程と、

前記複数の絶縁板と前記部分基板を固着させるととも

に、前記部分基板の絶縁性基板の接続孔を通して前記部

分基板内の配線と前記絶縁板の配線とを接続する工程と、

前記全ての絶縁板を貫く貫通孔を形成し、該貫通孔を通して上下の前記絶縁板の配線同士を接続する工程とを有することを特徴とする回路基板の製造方法。

【請求項7】 前記部分基板の絶縁性基板の下面には、前記絶縁性基板の接続孔を通して前記絶縁性基板上の配線と接続する導電膜と、該導電膜上に開口部を有する接着用絶縁膜と、前記接着用絶縁膜の開口部内に埋め込まれた導電性接着剤又は低融点合金材料とが形成されていることを特徴とする請求項6に記載の回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路基板及びその製造方法に関し、より詳しくは、回路部品を搭載し、該回路部品を多層配線により相互に接続する回路基板及びその製造方法に関する。

【0002】

【従来の技術】近年、電子機器を小型化、高速化するには、半導体集積回路装置の集積度の向上とともに、実装基板の高密度化が要望されている。このため、回路基板内の配線が微細化されるとともに、単層プリント基板から、層状に複数の配線が形成された多層プリント基板が用いられるようになってきている。現在では数十層の多層配線が内蔵されたプリント基板が実用化されている。そして、異なる層の配線同士はプリント基板を貫通するスルーホールを通して接続される。殆どの電子部品はこのようなプリント基板上に実装されている。

【0003】上記プリント基板は、以下のようにして作成される。即ち、図7(a)に示すように、配線2a～2dや電極2e、2fを形成した複数のエポキシ樹脂板1a～1eを半硬化状態のエポキシ樹脂シート3a～3dを介して重ねる。続いて、図7(b)に示すように、ホットプレスして一体化し、基板101を作成する。その後、層間の配線2a～2dを接続する箇所に基板101を貫くスルーホール4a～4dを形成する。

【0004】次いで、図7(c)に示すように、スルーホール4a～4dの内壁面に銅膜5a～5dを形成して所望の層間の配線2a～2dの接続を行う。しかし、このようなプリント基板101の場合、1つのスルーホール4aで1組の配線3b、3dの接続しか行えないこと、全ての層でスルーホール4a～4dを避けて配線する必要があることなどの理由で、高密度化には限界がある。一方で、半導体集積回路装置の多端子化、狭ピッチ化に伴い、上記のような形態のプリント基板では対応困難な高密度配線に対する要望が増しつつある。

【0005】より一層の高密度化を実現するためには、インナビアホール（層間接続孔）による層間の配線接続が必要である。そのようなものとして、図8に示すよう

に、多端子、狭ピッチのLSIチップを複数搭載するマルチチップモジュール(MCM)用に、薄膜多層法やビルトアップ法によって層状に複数の配線12a~12dを高密度に形成し、層間絶縁膜13a~13cに形成されたインナビアホール14a~14cにより異なる層の配線12a~12dを接続した多層回路基板(MCM基板)102が開発されている。

【0006】このような多層回路基板102は、下地基板の材料によって以下のような種類に分類されている。即ち、セラミック基板を用いたMCM-D、Si基板を用いたMCM-C、樹脂基板を用いたMCM-L等である(回路実装学会誌vol.11.No.5 1996, pp.311-315を参照)。上記多層配線を内蔵するプリント基板(マザーボード)101に、多端子、狭ピッチのLSIチップ、例えば、ボールグリッドアレイ(BGA)タイプのチップサイズパッケージ(CSP)やエリアバンパを有するベアチップを実装する場合、図9に示すように、一度多層回路基板上にハンダ付けによりLSIチップを実装してMCMユニット103とした後、MCMユニット103をプリント基板101上にハンダ付けにより実装するという2段階実装方式が採用されている。この場合、MCMユニット103の基板11には基板11を貫通する基板間接続孔が形成され、この基板間接続孔を通してMCMユニット103内の配線とプリント基板101内の配線とが接続されている。なお、図9において、符号104は挿入型部品であり、105はチップ抵抗又はチップコンデンサである。

【0007】

【発明が解決しようとする課題】しかし、回路基板全体をこのようなインナビアホール14a~14cを有する多層回路基板102とするのは著しく高価となる。このため、高密度配線を有する半導体チップを一度MCMとしてまとめてから比較的密度の低い配線を有する部品とともに通常のガラスエポキシ基板に実装している。

【0008】このような方式は工程数が増えるという問題があり、さらに、MCMユニット103と他の部品(チップ抵抗やQFPなど)とをプリント基板101に搭載する際、先にハンダ付けしたMCMユニット103側のハンダ接合部が外れないように対処しなければならない。このため、MCMユニット103側のハンダが溶融しても、部品が外れないよう接着剤等で補強・固定するか、或いはMCMユニット103側のハンダ付けにPb-5SnやPb-10Snといった高融点ハンダを使用する必要がある。前者の場合、工程が煩雑になるし、後者の場合は、基板材料や回路部品に対して高い耐熱性が要求されるため、材料コストが高くなるという問題がある。

【0009】更に、表面実装部品の割合が増加しつつあるとはいえ、現状ではDIP(Dual In-line Package)等の挿入型部品も使用されており、半導体チップと挿入

型部品とを同一基板に搭載する必要もある。しかし、インナビアホール14a~14cを有する多層回路基板102はスルーホールを有しないので、挿入型部品を搭載することは困難である。

【0010】本発明は、上記の従来例の問題点に鑑みて創作されたものであり、通常の耐熱性を有する基板材料や回路部品を用いたときでも回路部品の搭載作業が簡単で、チップと挿入型部品とを同一基板に搭載することができ、かつ高密度化を図ることができる回路基板及びその製造方法を提供するものである。

【0011】

【課題を解決するための手段】上記課題は、第1の発明である、複数の配線が該配線間に絶縁板を挟んで積層され、上下の前記配線同士が全ての前記絶縁板を貫通する貫通孔を通して接続されている回路基板であって、前記回路基板の一部に、複数の配線が該配線間に層間絶縁膜を挟んで積層され、上下の前記配線同士が該下方の配線上に形成された層間絶縁膜のインナビアホールを通して接続されている多層配線部分が設けられ、該多層配線部分の表面を含む前記回路基板の部品搭載面がほぼ平坦になっていることを特徴とする回路基板によって解決され、第2の発明である、前記多層配線部分は、前記回路基板の凹部又は切欠部に形成されていることを特徴とする第1の発明に記載の回路基板によって解決され、第3の発明である、前記多層配線部分と、該多層配線部分の下方の前記回路基板とを貫通する貫通孔を通して、前記多層配線部分内の配線と前記回路基板内の配線とが接続されていることを特徴とする第2の発明に記載の回路基板によって解決され、第4の発明である、前記インナビアホールを有する多層配線部分内の配線と前記多層配線部分の下方の回路基板内の配線とは、前記多層配線部分の接続孔を通して接続されていることを特徴とする第2の発明に記載の回路基板によって解決され、第5の発明である、絶縁性基板上に配線と層間絶縁膜とを交互に積層し、かつインナビアホールを通して前記層間絶縁膜の上下の配線を接続してなる部分基板を準備する工程と、複数枚の重ね合わせにより凹部又は切欠部が形成されるような、配線が形成された複数の絶縁板を準備する工程と、前記複数の絶縁板を重ねるとともに、前記凹部又は前記切欠部に前記部分基板を置く工程と、前記複数の絶縁板と前記部分基板を固着させる工程と、前記全ての絶縁板を貫く貫通孔を形成し、該貫通孔を通して上下の前記絶縁板の配線同士を接続する工程と、前記部分基板と該部分基板の下にある全ての前記絶縁板とを貫通する貫通孔を形成し、該貫通孔を通して前記部分基板内の配線と前記絶縁板の配線とを接続する工程とを有することを特徴とする回路基板の製造方法によって解決され、第6の発明である、絶縁性基板上に配線と層間絶縁膜とを交互に積層し、かつ該配線のいずれかと繋がる接続孔を前記絶縁性基板上に形成してなる部分基板を準備する工程

と、複数枚の重ね合わせにより凹部又は切欠部が形成されるような、配線が形成された複数の絶縁板を準備する工程と、前記複数の絶縁板を重ねるとともに、前記凹部又は前記切欠部に前記部分基板を置く工程と、前記複数の絶縁板と前記部分基板を固着させるとともに、前記部分基板の絶縁性基板の接続孔を通して前記部分基板内の配線と前記絶縁板の配線とを接続する工程と、前記全ての絶縁板を貫く貫通孔を形成し、該貫通孔を通して上下の前記絶縁板の配線同士を接続する工程とを有することを特徴とする回路基板の製造方法によって解決され、第7の発明である、前記部分基板の絶縁性基板の下面には、前記絶縁性基板の接続孔を通して前記絶縁性基板上の配線と接続する導電膜と、該導電膜上に開口部を有する接着用絶縁膜と、前記接着用絶縁膜の開口部内に埋め込まれた導電性接着剤又は低融点合金材料とが形成されていることを特徴とする第6の発明に記載の回路基板の製造方法によって解決される。

【0012】本発明においては、上下の配線同士が回路基板を貫通する貫通孔を通して接続されている回路基板の一部に、上下の配線同士が層間絶縁層のビアホールを通して接続されている多層配線部分を有する。即ち、回路基板には、インナビアホールによる配線接続領域と貫通孔による配線接続領域が混在している。また、多層配線部分内の配線と多層配線部分以外の回路基板の配線とは、多層配線部分とその下の回路基板の両方を貫く貫通孔を通して接続されるか、或いは、多層配線部分の接続孔を通して接続される。

【0013】ところで、隣接するインナビア間の間隔は隣接する貫通孔間の間隔と比べて狭くしうる。しかも、インナビアは、接続すべき異なる層の配線の間に介在する層間絶縁膜のみに形成されるのに対して、貫通孔は接続すべき異なる層の配線の間のみでなく、回路基板全体に及ぶ。このため、貫通孔による配線接続領域では配線密度をあまり高くできないが、貫通孔が部品搭載領域に露出するため挿入型部品を搭載することができる。一方、インナビアによる配線接続領域では、貫通孔がないため挿入型部品を搭載することはできないが、配線密度を高くすることができる。

【0014】従って、配線密度の高い領域と貫通孔を有する領域とが同一の回路基板に存在するため、例えば貫通孔による配線接続領域に挿入型部品やサイズの大きい回路部品を搭載し、インナビアによる配線接続領域にチップ等の引出し電極数の多い高密度配線の必要な部品を搭載することにより、半導体チップや挿入型部品及びその他の必要な部品を同一の回路基板に搭載することができる。

【0015】また、インナビアによる配線接続領域（部分基板）と貫通孔による配線接続領域（部分基板以外の回路基板）とが同一の回路基板に形成されているので、一度の加熱・溶着により必要な部品をすべて搭載するこ

とが出来る。従って、溶着するための加熱時期が、従来のMCM基板を搭載するときのように搭載部品によってずれることはない。このため、同じ温度で溶融する一つの溶着材料を用いることができるとともに、回路基板や回路部品のうちで、一部で特に耐熱性の高い基板材料や部品材料を用いる必要もない。

【0016】さらに、部分基板内の配線と、部分基板以外の回路基板内の配線とを接続するための導電性材料として低融点合金材料を用いたとき、低融点合金材料は予め部分基板の裏面の接着用絶縁性膜内に埋め込まれており、かつ部分基板と回路基板とはホットプレス等により密着させうるので、部品搭載時の加熱により低融点合金材料が溶融しても部分基板と回路基板の間に染みだすことはない。このため、導電性材料として通常と異なる高融点合金材料を用いる必要もない。

【0017】以上により、通常の基板材料を用いた回路基板に通常の部品材料を用いた回路部品を簡単な作業で搭載することができる。また、回路部品の引出し電極数に応じた配線密度の領域を、搭載すべき回路部品の個数に応じた大きさとすることができる。このため、回路基板の高密度化を図ることができる。

【0018】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

(1) 第1の実施の形態

(薄膜多層基板（部分基板）の作成方法) 図1(a)～(e)は、本発明の第1の実施の形態に係る薄膜多層基板の作成方法について示す断面図である。以下の(a)～(e)の工程を経て薄膜多層基板111が完成する。

【0019】(a) まず、図1(a)に示すように、縦横2インチで、厚さ0.9mmの、シリカ粉末を充填したビスマレイミドートリアジン樹脂(BTレジン)基板(絶縁性基板)21を用意する。

(b) その上に、図1(b)に示すように、無電解メッキ法で、厚さ10μmのCu膜22を形成する。

【0020】(c) 次いで、図1(c)に示すように、Cu膜22上にフォトレジスト膜23を形成した後、露光し、その後現像して配線を形成すべき領域にフォトレジスト膜23を残す。次に、配線を形成すべき領域に残るフォトレジスト膜23をマスクとしてCu膜22をエッチングし、除去して最小線幅60μmの配線22aを形成する。

【0021】(d) 次いで、図1(d)に示すように、配線22a上に膜厚30μmの感光性の多官能アクリル樹脂膜24aを形成する。続いて、インナビアを形成すべき領域以外を露光した後、現像液に浸けて現像し、未露光部分を溶出させてインナビア(インナビアホール)25aを形成する。以上により、一層目の配線22aとこれを被覆するインナビア25aを有する層間絶縁膜24aが形成される。

【0022】(e)引き続き、上記(b)～(d)の工程を繰り返す、2層目以降の配線22b、22cと各層の配線を被覆するインナビア25b、25cを有する層間絶縁膜24b、24cを形成する。さらに、最上部に配線22dのほか部品の搭載のためのパッドを形成する。以上により、薄膜多層基板111が完成する。

【0023】(回路基板の作成方法)図2(a)～(c)は、上記薄膜多層基板111を回路基板に入れ込んでなる回路基板の作成方法について示す断面図である。まず、図2(a)に示すように、線幅0.2mmで適当な長さの銅膜からなる配線32aや電極32eを形成したガラスエポキシ板31aと、配線32bを形成したガラスエポキシ板31bを作成する。

【0024】さらに、上記と同じ様な配線32c、32dや電極32fを張りつけたガラスエポキシ板31c～31eであって、薄膜多層基板111を入れ込む部分に予め縦横2インチの開口部OP1～OP3が形成されたものを3枚作成する。開口部OP1～OP3は、例えばガラスエポキシ板の打ち抜きにより形成される。上記のガラスエポキシ板31a～31eの厚さは5枚とも凡そ0.3mmである。

【0025】次いで、厚さ0.05mmのエポキシアプレグフィルム33a～33dを各ガラスエポキシ板31a～31eの間に挟んで重ねる。このとき、開口部が形成されていない2枚のガラスエポキシ板31a、31bを重ね、その上に開口部を有する3枚のガラスエポキシ板31c～31eを重ねる。このとき、3枚のガラスエポキシ板31c～31eの開口部OP1～OP3がすべて丁度一致するように重ねる。ガラスエポキシ板31cと31d、及びガラスエポキシ板31dと31eに挟まれるエポキシアプレグフィルム33c、33dには、ガラスエポキシ板31c～31eの開口部と同じ位置に、同じ大きさの開口部が形成されている。その他のエポキシアプレグフィルム33a、33bには開口部が形成されていない。従って、開口部OP1～OP3の重なりによって形成される凹部の底部にはエポキシアプレグフィルム33bが敷かれており、薄膜多層基板111はそのエポキシアプレグフィルム33bの上に載る。

【0026】次いで、図2(b)に示すように、開口部OP1～OP3の重なりによって形成される凹部115内に上記の薄膜多層基板111を入れ込んだものを、温度180℃、圧力10気圧の条件でホットプレスし、それらを相互に固着させる。なお、ガラスエポキシ板31a～31eを5枚重ねた基板が回路基板112を構成する。

【0027】上記のように薄膜多層基板(部分基板)111を入れ込んだ回路基板112を形成した後、図2(c)に示すように、回路基板112のガラスエポキシ板31a～31eの積層部分であって配線の層間接続を

行う部分、及び薄膜多層基板111内の配線と回路基板112内の配線との相互接続を行う部分をドリルで明けけてスルーホール(貫通孔)34a～34dを形成する。

【0028】続いて、スルーホール34a～34d内を一般のプリント基板の作成のときと同様に活性化した後、無電解メッキを行ってスルーホール34a～34dの内壁に銅膜35a～35dを形成する。これにより、接続すべき異なる層の配線同士を接続させるとともに、薄膜多層基板111内の配線と回路基板112内の配線とを接続させる。

【0029】以上により、回路基板が完成する。その後、図2(c)に示すように、回路基板を加熱した状態で、薄膜多層基板111上にハンダ等を介してLSIチップ122を載せ、薄膜多層基板111以外の回路基板112上に挿入型部品121や配線密度の比較的低い回路部品123をハンダ等を介して載せた後、冷却し、固着させて回路装置が完成する。

【0030】以上のように、本発明の第1の実施の形態に係る回路基板においては、多層配線のうち異なる層の配線同士がスルーホール34a、34dを通して接続された回路基板112内に、多層配線のうち異なる層の配線同士が層間絶縁膜24a～24cのインナビア25a～25cを通して接続された薄膜多層基板111が入れ込まれ、回路基板112内の配線と薄膜多層基板111内の配線とは、薄膜多層基板111及び回路基板112を貫くスルーホール34b、34cを通して接続されている。

【0031】ところで、隣接するインナビア25a～25c間の間隔は隣接するスルーホール34a～34d間の間隔と比べて狭くしうる。しかも、インナビア25a～25cは、接続すべき異なる層の配線の間に介在する層間絶縁膜24a～24cのみに形成されるのに対して、スルーホール34a～34dは接続すべき異なる層の配線の間のみでなく、回路基板112全体に形成される。

【0032】このため、薄膜多層基板111以外の回路基板112では配線密度をあまり高くできないが、スルーホール34a～34dが部品搭載領域に露出するため挿入型部品を搭載することができる。一方、薄膜多層基板111では、インナビア25a～25cが部品搭載領域に露出していないため挿入型部品を搭載することはできないが、配線密度を高くすることができる。

【0033】従って、配線密度の高い領域とスルーホール34a～34dを有する領域とが同一の回路基板に存在するため、スルーホール34a～34dを有する領域に挿入型部品やサイズの大きい回路部品を搭載し、配線密度の高い領域にチップ等の引出し電極数の多い部品を搭載することにより、半導体チップや挿入型部品及びその他の必要な部品を同一の回路基板に搭載することがで

10

20

30

40

50

きる。

【0034】しかも、薄膜多層基板111が回路基板112と一体的に形成されているので、一度の加熱・溶着により必要な部品をすべて搭載することが出来る。従って、溶着するための加熱時期が、従来のMCM基板を搭載するときのように搭載部品によってずれることはない。このため、同じ温度で溶融する一つの溶着材料を用いることができるとともに、回路基板や回路部品のうちで、一部で特に耐熱性の高い基板材料や部品材料を用いる必要もない。

【0035】以上により、通常の基板材料を用いた回路基板に通常の部品材料を用いた回路部品を簡単な作業で搭載することができる。また、回路部品の引出し電極数に応じた配線密度の領域を、搭載すべき回路部品の個数に応じた大きさとしてすることができる。このため、回路基板の高密度化を図ることができる。

【0036】(2) 第2の実施の形態

第2の実施の形態において、第1の実施の形態に係る回路基板と異なるところは、薄膜多層基板113の下地基板(絶縁性基板)41に予め下地基板41を貫通する基板間接続孔44a、44bを形成し、この基板間接続孔44a、44bを通して表面及び裏面の電極42a、43同士を接続し、その裏面側の基板間接続孔44a、44bに導電性接着剤55a、55bを埋め込んでいることである。そして、この基板間接続孔44a、44bの導電性接着剤55a、55bを介して回路基板114内の配線と薄膜多層基板(部分基板)113内の配線とが接続される。

【0037】(薄膜多層基板(部分基板)の作成方法)

図3(a)～(d)、図4(a)～(c)は、本発明の第2の実施の形態に係る薄膜多層基板の作成方法について示す断面図である。

(a) まず、図3(a)に示すように、縦横2インチで、厚さ0.8mmのガラスエポキシ基板(絶縁性基板)41の両面に電極又は配線42a、43を形成する。続いて、そのガラスエポキシ板41の両端にある電極又は配線42a、43を通るスルーホール(接続孔)44a、44bを形成し、その内壁に導電膜45a、45bを形成して両面の電極又は配線42a、43同士を接続する。次いで、スルーホール44a、44b内にエポキシ樹脂46a、46bを充填する。

【0038】(b) 次いで、図3(b)に示すように、両面にアクリル樹脂からなる接着層を形成した厚さ55μmのポリイミドフィルムからなる層間絶縁膜47aと厚さ10μmのCuホイル48をこの順にガラスエポキシ基板41の上に積層する。

(c) 次いで、図3(c)に示すように、Cuホイル48上にフォトレジスト膜49を形成した後、露光し、その後現像してインナビアホールを形成すべき領域にフォトレジスト膜49の開口部を形成する。

【0039】続いて、フォトレジスト膜49の開口部を通してCuホイル48をエッチングし、ポリイミドフィルム47aを露出させる。次いで、KrFエキシマレーザを全面に照射し、レーザアブレーションによってフォトレジスト膜49の開口部に露出したポリイミドフィルム47aをエッチングし、除去してCuホイル48b及びポリイミドフィルム47aを貫通する開口部(インナビアホール)50aを形成する。

【0040】(d) 次に、図3(d)に示すように、フォトレジスト膜49を除去した後、開口部50a内及びCuホイル48b上に無電解メッキによってCu膜51bを形成する。

(e) 次いで、図4(a)に示すように、フォトレジスト膜52を形成した後、露光し、その後現像して配線を形成すべき領域にフォトレジスト膜52を残す。このフォトレジスト膜52をマスクとしてCu膜51b及びCuホイル48bをエッチングし、除去して最小線幅60μmの第2層目の配線42bを形成する。

【0041】以上により、第1層目及び第2層目の配線42a、42bとこれらに挟まれたインナビアホール50aを有する層間絶縁膜47aが形成される。

(f) 引き続き、上記(b)～(e)の工程を繰り返して、図4(b)に示すように、層間絶縁膜47bと3層目の配線42cと層間絶縁膜47cとを順に形成し、さらに最上層の層間絶縁膜47c上に4層目の配線と部品搭載のためのパッド42dを形成する。

【0042】(g) 以上のようにして4層の配線を形成した後、図4(c)に示すように、絶縁性基板の裏面にエポキシアリアレグフィルム(接着用絶縁膜)53を置き、エポキシアリアレグフィルム53が硬化しない程度の温度凡そ120℃に加熱して接着する。次に、エキシマレーザを部分的に照射して電極43及び導電膜45a、45b上のエポキシアリアレグフィルム53を除去する。

【0043】次いで、銀粉と熱硬化型のエポキシ樹脂からなる導電性接着剤55a、55bを印刷により電極43及び導電膜45a、45b上に形成する。以上により、薄膜多層基板113が完成する。

(回路基板の作成方法) 図5(a)～(c)は、本発明の第2の実施の形態に係る回路基板の作成方法について示す断面図である。

【0044】まず、図5(a)に示すように、第1の実施の形態と同じエポキシアリアレグフィルム63a～63dを間に挟んで第1の実施の形態と同じガラスエポキシ板61a～61eを5枚、薄膜多層基板113を入れ込む凹部116が形成されるように重ねる。このとき、エポキシアリアレグフィルム63bには開口部が形成されており、かつ第2層目のガラスエポキシ板61bの上面には、第1の実施の形態の配線のほかに薄膜多層基板113の裏面の導電性接着剤55a、55bと接続させ

11

る電極又は配線62bが形成されている。従って、凹部116の底部には電極又は配線62bが露出し、薄膜多層基板113の導電性接着剤55a、55bと接触するようになっている。

【0045】次いで、回路基板の凹部116内に上記の薄膜多層基板113を入れ込んだものを、温度180℃、圧力10気圧の条件でホットプレスし、それらを相互に固着させる。このとき、薄膜多層基板113裏面の電極43及び導電膜45a、45bと2層目のガラスエポキシ基板61b上の電極又は配線62bとが導電性接着剤55a、55bを介して圧着される。なお、ガラスエポキシ板61a〜61eを5枚重ねた基板が薄膜多層基板113以外の回路基板114を構成する。

【0046】次いで、加熱して薄膜多層基板113裏面の電極及び導電膜45a、45bと2層目のガラスエポキシ板61b上の電極又は配線62bとの間で電気的な接続を得る。上記のように薄膜多層基板113を入れ込んだ回路基板114を形成した後、回路基板114のガラスエポキシ板61a〜61eの積層部分であって層間接続を行う部分をドリルで孔明けしてスルーホール（貫通孔）64a、64bを形成する。

【0047】続いて、スルーホール64a、64b内を活性化した後、無電解メッキによりスルーホール64a、64bの内壁に銅膜65a、65bを形成する。これにより、接続すべき異なる層の配線同士を接続させる。以上により、回路基板が完成する。その後、図5(c)に示すように、回路基板を加熱した状態で、薄膜多層基板113上にハンダ等を介してLSIチップ122を載せ、薄膜多層基板113以外の回路基板114上に挿入型部品121や配線密度の比較的低い回路部品123をハンダ等を介して載せた後、冷却し、固着させて回路装置が完成する。

【0048】以上のように、本発明の第2の実施の形態に係る回路基板においては、第1の実施の形態と同様に、配線密度の高い領域とスルーホール64a、64bを有する領域とが同一の回路基板に存在するため、スルーホール64a、64bを有する領域に挿入型部品やサイズの大きい回路部品を搭載し、配線密度の高い領域にチップ等の引出し電極数の多い部品を搭載することにより、半導体チップや挿入型部品及びその他の必要な部品を同一の回路基板に搭載することができる。

【0049】また、薄膜多層基板113が回路基板114内に入れ込まれて一体的に形成されているので、一度の加熱・溶着により必要な部品をすべて搭載することが出来る。このため、同じ温度で溶融する一つの溶着材料を用いることができるとともに、回路基板や回路部品のうちで、一部で特に耐熱性の高い基板材料や部品材料を用いる必要もない。

【0050】以上により、通常の基板材料を用いた回路基板に通常の部品材料を用いた回路部品を簡単な作業で

12

搭載することができる。また、回路部品の引出し電極数に応じた配線密度の領域を、搭載すべき回路部品の個数に応じた大きさとすることができる。このため、回路基板の高密度化を図ることができる。

【0051】なお、第2の実施の形態では、薄膜多層基板113内の配線と薄膜多層基板113以外の回路基板114内の配線とを接続するための導電性材料として導電性接着剤55a、55bを用いているが、ハンダ等の低融点合金材料を用いてもよい。この場合、低融点合金材料は予め第2の基板の下面の接着用絶縁性膜53の開孔部54a、54b内に埋め込まれ、かつ回路基板114と薄膜多層基板113とがホットプレスにより密着されているので、部品搭載時の加熱により溶融しても回路基板の層間の隙間等に染みだすことはない。従って、導電性材料として高融点合金材料を用いなくてもよいので、通常の基板材料を用いた回路基板に通常の部品材料を用いた回路部品を簡単な作業で搭載することができる。

【0052】なお、上記第1及び第2の実施の形態では、貫通孔による配線接続領域である回路基板112、114の凹部115、116に部分基板（インナビアによる配線接続領域）111、113が搭載されているが、第1の実施の形態の回路基板112を用いて例示する図6に示すように、回路基板112の切欠部117に部分基板（インナビアによる配線接続領域）111が搭載されてもよい。

【0053】また、複数の絶縁板を重ね、固着する回路基板112、114の作成と回路基板112、114への部分基板111、113の搭載とを同時に行っているが、まず、複数の絶縁板を重ね、固着して凹部や切欠部を有する回路基板112を作成し、その後、凹部や切欠部に部分基板111、113を搭載してもよい。

【0054】

【発明の効果】以上のように、本発明によれば、層間の配線同士が貫通孔を通して接続された回路基板の一部に、層間の配線同士が所謂インナビアホールを通して接続された多層配線部分が設けられている。即ち、配線密度の高い領域と貫通孔を有する領域とが同一の回路基板に存在するため、半導体チップや挿入型部品及びその他の必要な部品を同一の回路基板に搭載することができる。

【0055】しかも、インナビアホールによる配線接続領域（部分基板）と貫通孔による配線接続領域（部分基板以外の回路基板）とが一体的に形成されているので、一度の加熱・溶着により必要な部品をすべて部品搭載領域に搭載することが出来、加熱時期をずらす必要はない。このため、同じ温度で溶融する一つの溶着材料を用いることができるとともに、回路基板や回路部品のうちで、その一部に特に耐熱性の高い基板材料や部品材料を用いる必要もない。

【0056】また、部分基板内の配線と部分基板以外の回路基板内の配線とを接続するために低融点合金材料を用いた場合、低融点合金材料は予め部分基板の下面の接着用絶縁性膜の開口部に埋め込まれているので、部品搭載時の加熱により低融点合金材料が溶融しても部分基板と回路基板の間の隙間等に染みだすことはない。このため、導電性材料として通常と異なる高融点合金材料を用いる必要もない。

【0057】以上のように、通常の基板材料を用いた回路基板に通常の部品材料を用いた回路部品を簡単な作業で搭載することができる。また、回路部品の引出し電極数に応じた配線密度の領域を、搭載すべき回路部品の個数に応じた大きさとしてすることができ、このため、回路基板の高密度化を図ることができる。

【図面の簡単な説明】

【図1】図1(a)～(e)は、本発明の第1の実施の形態に係る薄膜多層基板の作成方法について示す断面図である。

【図2】図2(a)～(c)は、本発明の第1の実施の形態に係る回路基板の作成方法について示す断面図である。

【図3】図3(a)～(d)は、本発明の第2の実施の形態に係る薄膜多層基板の作成方法について示す断面図(その1)である。

【図4】図4(a)～(c)は、本発明の第2の実施の形態に係る薄膜多層基板の作成方法について示す断面図(その2)である。

【図5】図5(a)～(c)は、本発明の第2の実施の形態に係る回路基板の作成方法について示す断面図である。

【図6】図6は、本発明の他の実施の形態に係る回路基板について示す断面図である。

【図7】図7(a)～(c)は、従来例に係る回路基板の作成方法について示す断面図である。

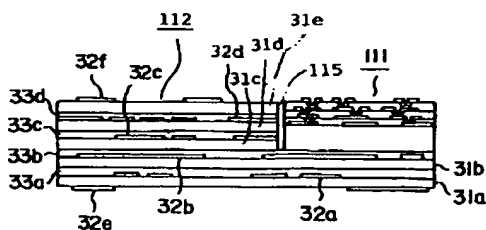
【図8】図8は、従来例に係る薄膜多層基板について示す断面図である。

【図9】図9は、従来例に係る回路基板上に回路部品が搭載された回路装置を示す断面図である。

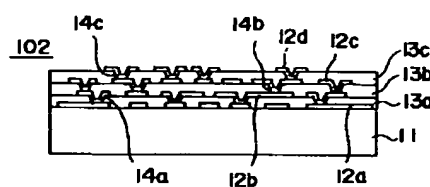
【符号の説明】

- 21 BTレジン基板(絶縁性基板)、
- 22 Cu膜、
- 22a～22d, 32a～32f, 42a～42d, 62a～62f 配線又は電極、
- 23, 49, 52 フォトリソ膜、
- 24a～24c, 47a～47c 層間絶縁膜、
- 25a～25c, 50a～50c インナビアホール(ビアホール)、
- 31a～31e, 61a～61e ガラスエポキシ板(絶縁板)、
- 33a～33d, 63a～63d エポキシアリアレグフィルム、
- 34a～34d, 64a, 64b スルーホール(貫通孔)、
- 35a～35d, 65a, 65b 銅膜、
- 41 ガラスエポキシ基板(絶縁性基板)、
- 43 、
- 44a, 44b スルーホール(接続孔)、
- 45a, 45b 導電膜、
- 46a, 46b エポキシ樹脂、
- 47a～47c ポリイミドフィルム(層間絶縁膜)、
- 48, 48b Cuホイル、
- 51b Cu膜、
- 53 エポキシアリアレグフィルム(接着用絶縁膜)、
- 54a, 54b 開口部、
- 55a, 55b 導電性接着剤、
- 111, 113 薄膜多層基板(部分基板)、
- 112, 114 回路基板、
- 115, 116 凹部、
- 117 切欠部、
- 121 挿入型部品、
- 122 LSIチップ、
- 123 回路部品。

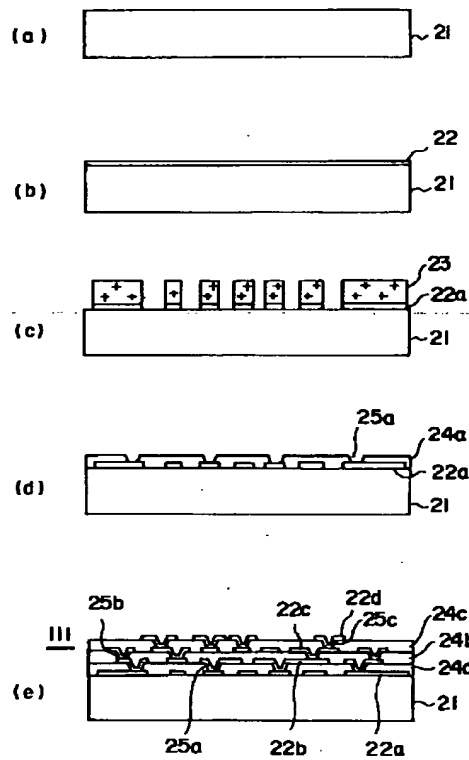
【図6】



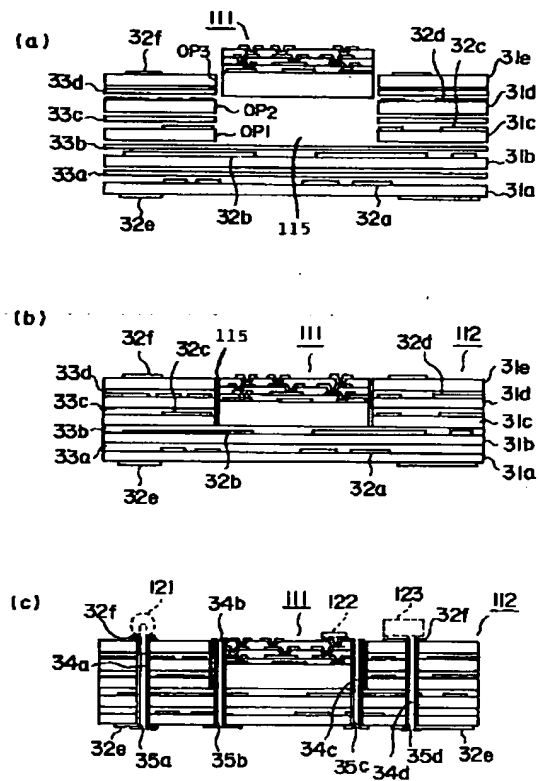
【図8】



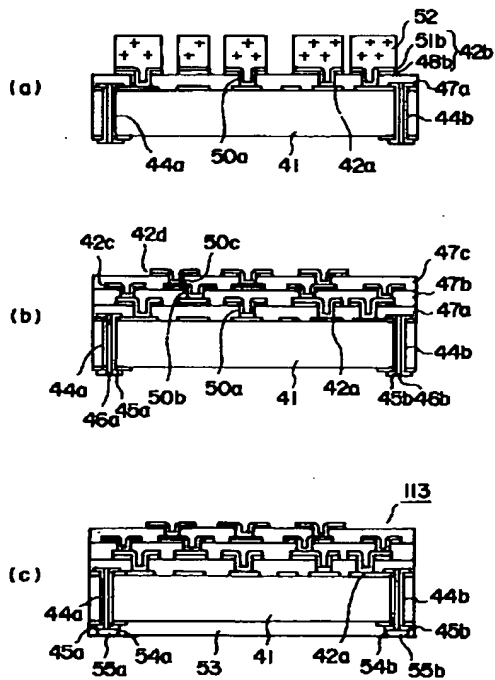
【図1】



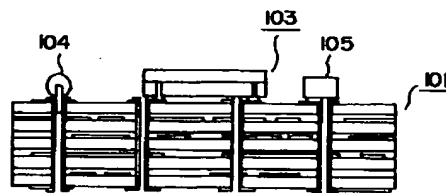
【図2】



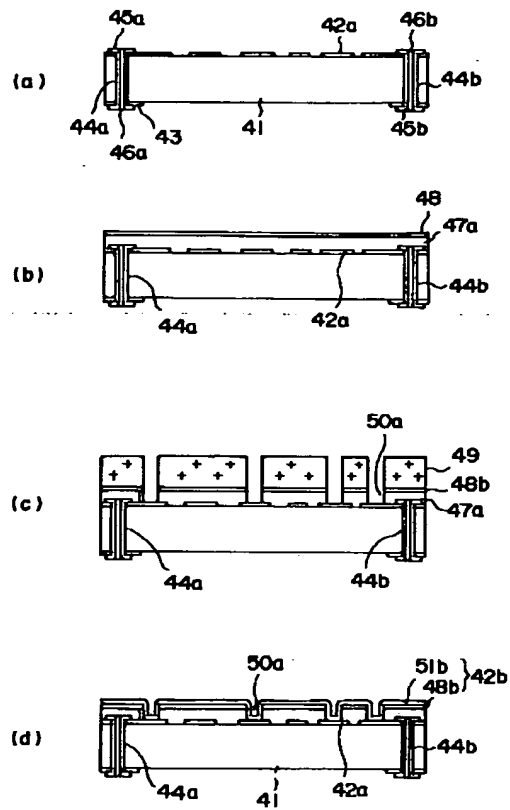
【図4】



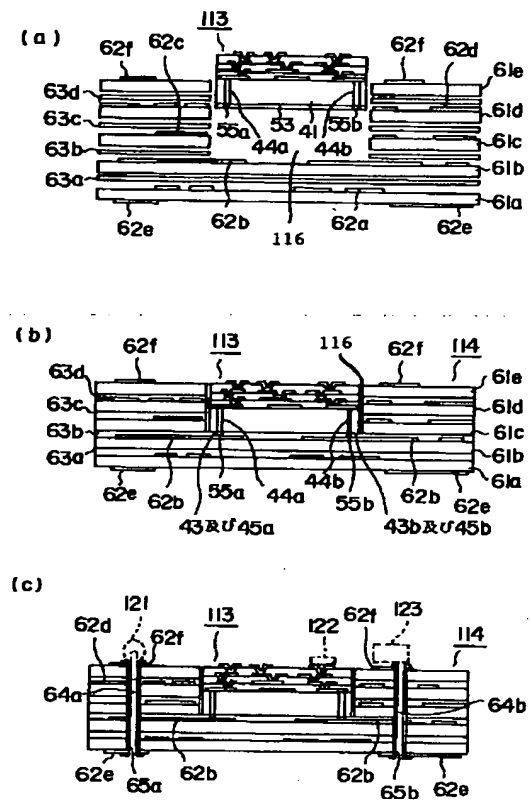
【図9】



【例3】



【图5】



【図7】

